

Patent number: JP3249625
Publication date: 1991-11-07
Inventor: YANAI KENICHI; KAWAI SATORU; NASU YASUHIRO;
KOBAYASHI MASAOKI
Applicant: FUJITSU LTD
Classification:
- **International:** G02F1/133; G02F1/1333; G02F1/136; G09F9/00
- **European:**
Application number: JP19900048966 19900227
Priority number(s): JP19900048966 19900227

Report a data error here

Abstract of JP3249625

PURPOSE:To repair a defect without causing neither an increase in parasitic capacity nor a decrease in opening rate by preparing a specific thin film transistor(TFT) for repair in advance and connecting the TFT for repair to the removal track of a defective TFT. **CONSTITUTION:**A semiconductor substrate is stuck on a support substrate 11 across an insulating thin film 12 previously and made into a thin film. Then while a semiconductor thin film 14 is used as an operating semiconductor layer, a thin film transistor(TFT) and connection pads 15 led out of a gate electrode G, a source electrode S, and a drain electrode D are formed. Further, the TFT and the support substrate on the reverse surface of a connection pad formation area are removed to obtain the TFT for repair. Then an active matrix substrate 2 is inspected and when a defect of the TFT is detected, the defect is removed and the TFT 1 for repair is connected to the removal track. Consequently, the defect of the active matrix liquid crystal substrate can be repaired without causing neither the increase in the parasitic capacity nor the decrease in the opening rate.

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-249625

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月7日

G 02 F 1/136
1/133
1/1333
G 09 F 9/00

5 0 0
5 5 0
5 0 0
3 5 2

9018-2K
7709-2H
7724-2K
6447-5G

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 アクティブマトリクス基板の欠陥修復方法

⑯ 特 願 平2-48966

⑰ 出 願 平2(1990)2月27日

⑱ 発 明 者 梁 井 健 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 川 井 悟 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 那 須 安 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 小 林 正 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地
⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

アクティブマトリクス基板の欠陥修復方法

2. 特許請求の範囲

(1) 予め支持基板(11)上に絶縁性薄膜(12)を介して貼着された半導体薄膜(14)を動作半導体層として構成され、且つ、各電極から導出された電極パッド(15)を具備する修復用薄膜トランジスタ(1)を形成し、更に、該修復用薄膜トランジスタ形成領域裏面の支持基板を除去してなる修復用モジュール基板(3)を準備しておき、

表面に表示電極をマトリクス状に配列するとともに、該表示電極対応に薄膜トランジスタを設けたアクティブマトリクス基板(2)を検査し、検出された不良の薄膜トランジスタを除去し、該除去した薄膜トランジスタの除去跡に前記修復用薄膜トランジスタを前記電極パッドを介して接続することを特徴とするアクティブマトリクス基板の欠陥修復方法。

(2) 予め支持基板(11)上に貼着された半導体薄膜(14)を動作半導体層として構成され、且つ、修復すべきアクティブマトリクス基板上の薄膜トランジスタに対応した寸法関係をもって各電極から導出された電極パッド(15)を具備する複数個の修復用薄膜トランジスタ(1)を有するとともに、前記支持基板には該修復用薄膜トランジスタを分離するための切除部を設けてなることを特徴とするアクティブマトリクス基板の欠陥修復用モジュール基板。

3. 発明の詳細な説明

〔概 要〕

画素対応に駆動用の薄膜トランジスタを設け、これのスイッチング作用を用いて液晶セルへの電圧書き込みと保持動作を行なうアクティブマトリクス型表示装置の欠陥修復方法に関し、

寄生容量を増大および開口率を低下を招くことなく、アクティブマトリクス型液晶表示装置の欠陥修復を可能ならしめる薄膜トランジスタを提供

特開平3-249625(2)

することを目的とし、

予め支持基板上に絶縁性薄膜を介して貼着された半導体薄膜を動作半導体層として構成され、且つ、各電極から導出された電極パッドを具備する修復用薄膜トランジスタを形成し、更に、該修復用薄膜トランジスタ形成領域裏面の支持基板を除去してなる修復用モジュール基板を準備しておき、表面に表示電極をマトリクス状に配列するとともに、該表示電極対応に薄膜トランジスタを設けたアクティブマトリクス基板を検査し、検出された不良の薄膜トランジスタを除去し、該除去した薄膜トランジスタの除去跡に前記修復用薄膜トランジスタを前記電極パッドを介して接続する構成とする。

(産業上の利用分野)

本発明は、画素対応に駆動用の薄膜トランジスタを配設し、これのスイッチング作用を用いて液晶セルへの電圧書き込みと保持動作を行なうアクティブマトリクス型表示装置の欠陥修復方法に関

(従来の技術)

従来のアクティブマトリクス型液晶表示パネルに点欠陥が生じた場合の修復方法は、画素ごとに複数の薄膜トランジスタを配設しておくという冗長構成をとることによって行なわれていた。

即ち、第4図に示すように、マトリクス状に配列した多数の画素のそれぞれに対し、複数の(図には2個の例を示す)の画素駆動用の薄膜トランジスタTを設け、欠陥が生じた薄膜トランジスタを切断分離し、残りの薄膜トランジスタで画素の駆動を行なっていた。

なお、同図のBは表示電極、SBはスキャンバス、DBはデータバスである。

(発明が解決しようとする課題)

上記従来の冗長構成を用いた欠陥修復法では、欠陥を生じた薄膜トランジスタを同定することが困難であること、次に、本来1個で駆動可能な薄膜トランジスタTを各画素ごとに複数個設けるため、寄生容量が大きくなり、更には開口率が小さ

する。

アクティブマトリクス型表示装置は単純マトリクス型表示装置とともに、薄型の情報端末用表示装置として使用されており、表示媒体としては液晶が使用されている。

ここで両者の特性を比較するとアクティブマトリクス型は多数ある画素をそれぞれ単独に駆動するのと同様の動作をさせることができ、そのため表示容量の増大に伴ってライン数が増加しても単純マトリクス型のように駆動のデューティ比が低下し、コントラストの低下や視野角の現象をきたすなどの問題が生じない。このためアクティブマトリクス型液晶表示装置は陰極線管(CRT)並みのカラー表示が得られ、薄型のフラットディスプレイとして用途を広げつつある。

しかし、アクティブマトリクス型表示装置では各画素ごとにスイッチング素子を形成する必要があるため、素子数が膨大な数となり、しかも構造が複雑なため製造歩留りが低下し、コストが高くなるといった問題がある。

くなるなどの問題があった。

本発明は、寄生容量の増大および開口率の低下を招くことなく、アクティブマトリクス型液晶表示装置の欠陥修復を可能ならしめるアクティブマトリクス型液晶表示装置の欠陥修復方法を提供することを目的とする。

(課題を解決するための手段)

本発明を第1図および第2図により説明する。第1図は第2図のI-I矢視部断面を示す図で、第2図は本発明に係る修復用薄膜トランジスタ1個分を示す平面図である。

同図の1は修復用薄膜トランジスタ、2はアクティブマトリクス基板である。

予め支持基板11上に、絶縁性薄膜12を介して半導体基板を貼着し、これを薄膜化する。この半導体薄膜14を動作半導体層として薄膜トランジスタと、この薄膜トランジスタのゲート電極G、ソース電極Sおよびドレイン電極Dから導出された接続パッド15を形成する。更に、この薄膜トランジ

特開平3-249625(3)

スタおよび接続パッド形成領域裏面の支持基板を除去して、本発明に係る修復用薄膜トランジスタ1が得られる。ここで、接続パッド15裏面は絶縁性薄膜12を除去してもよい。

一方、アクティブマトリクス基板2は、通常のものと同様に、ガラス基板のような絶縁性基板21表面に、表示電極(図示せず)をマトリクス状に配列するとともに、該表示電極対応に薄膜トランジスタ(図示せず)を設けてある。このアクティブマトリクス基板2を検査し、薄膜トランジスタの不良が検出された場合には、それをレーザービーム等を用いて除去する。

次いで、上記アクティブマトリクス基板2上の薄膜トランジスタの除去跡に、前記修復用薄膜トランジスタ1を接続する。それには、前記電極パッド15をアクティブマトリクス基板2の対応する接続電極22に重ね、両者を接続する。

なお、上記接続電極22は、アクティブマトリクス基板2上に接続専用の電極を設けておいてもよく、あるいは、除去した不良薄膜トランジスタの

各電極が接続していたゲートバスライン、ドレインバスラインおよび表示電極の所定の場所を用いてもよい。

また、接続パッド15と接続電極22の接続は、レーザービームを照射する方法や超音波を当てることにより、容易に実施できる。

最後に修復用薄膜トランジスタ1を、支持基板11からレーザービームなどを用いて切り離す。

〔作用〕

このように、修復用薄膜トランジスタを用いたアクティブマトリクス基板の欠陥修復方法によれば、アクティブマトリクス基板上の各画素には、駆動用の薄膜トランジスタを各1個のみ設ければよい。従って、欠陥薄膜トランジスタを容易に検出することができる。

また、通常の冗長構成で問題となる複数の薄膜トランジスタが正常部に設けられていることによる寄生容量の増大および開口率の減少を抑えることができる。

〔実施例〕

以下本発明の一実施例を第3図を用いて説明する。

本実施例は、絶縁膜上に単結晶Si薄膜を形成したSOI(Silicon On Insulator)基板を形成する技術を利用したもので、例えばウエーハ張り合わせ法(日経マイクロデバイス88年3月号、82~98頁)やグラフォエピタキシー法等を用いることができる。

本実施例では、シリコンウエーハ上に形成した約4μmの厚さのSiO₂膜を介して、約0.5μmの厚さのSi薄膜を形成し、このSOI基板を用いて、多数の修復用薄膜トランジスタを具備する修復用モジュール基板を作製する。そしてこの修復用薄膜トランジスタを、アクティブマトリクス基板上の欠陥薄膜トランジスタを除去した跡に接続して、欠陥修復を行なう。

即ち、第3図(a)に示すように、支持基板としてSi基板11を用いる。このSi基板11表面を酸化して厚さ約4μmのSiO₂膜12を形成する。

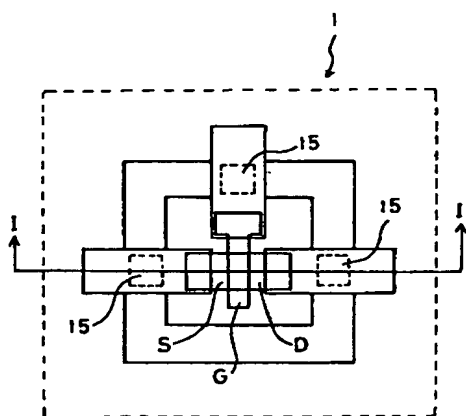
次いで、このSiO₂膜12上にSi単結晶基板をウエーハ張り合わせ法を用いて張り合わせたのち、Si単結晶基板の厚さを研磨およびエッチングにより減じ、厚さ約0.5μmのSi薄膜14を形成する。

次いで第3図(b)に示すように、上記Si薄膜14を網状に除去して、Si薄膜14の小片をマトリクス状に残留させる。そして、それぞれを用いて薄膜トランジスタを形成する。図の15は接続パッド、Gはゲート電極、Sはソース電極、Dはドレイン電極である。また、Si薄膜14には41~42の3つの領域を描いてあるが、これらはそれぞれ高抵抗のチャネル領域41と、n型不純物を導入したn⁺型のソースおよびドレイン領域42,43である。

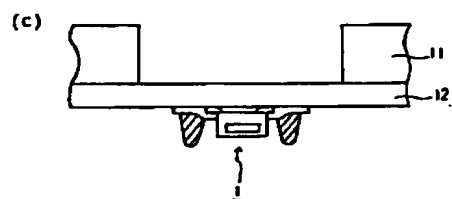
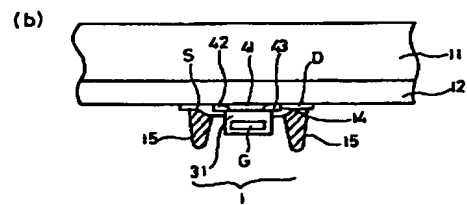
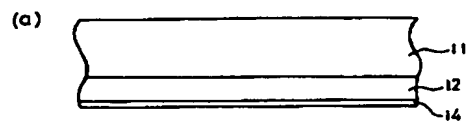
上記ゲート電極G、ソース電極Sおよびドレイン電極Dは、それぞれ対応する領域41,42,43からSi薄膜14の小片の外まで延長し、その上に接続パッド15を形成する。

次いで、Si基板11の裏面からCF₄+O₂を反応ガスとするプラズマエッチングを行ない、第

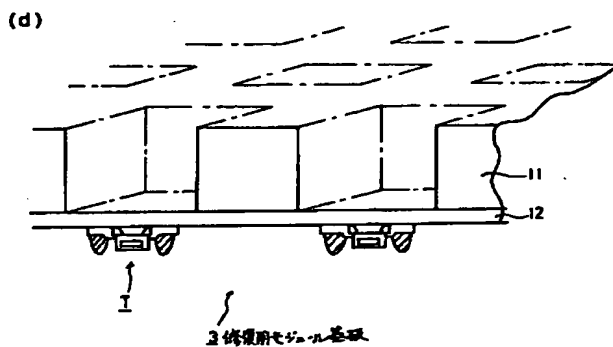
- 180 -



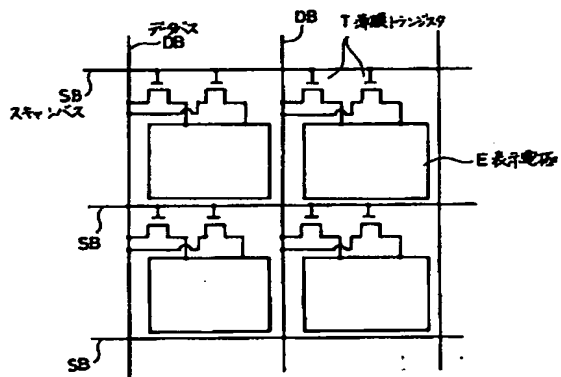
本発明の構成説明図
第2図



本発明一実施例説明図
第3図 (アの1)



本発明一実施例説明図
第3図 (アの2)



従来の問題点説明図
第4図